

1/3/2

DIALOG(R) File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

014394945 \*\*Image available\*\*

WPI Acc No: 2002-215648/200227

Related WPI Acc No: 2003-046139

XRAM Acc No: C02-065853

XRPX Acc No: N02-165195

Semiconductor device e.g. memory device has insulation layer comprising  
hydrogen silsesquioxane or hydride organosiloxane formed on wafer  
Patent Assignee: NEC CORP (NIDE ); NIPPON ELECTRIC CO (NIDE ); USAMI T  
(USAM-I)

Inventor: USAMI T

Number of Countries: 003 Number of Patents: 003

Patent Family:

| Patent No      | Kind | Date     | Applicat No   | Kind | Date     | Week     |
|----------------|------|----------|---------------|------|----------|----------|
| US 20010051447 | A1   | 20011213 | US 2001851313 | A    | 20010509 | 200227 B |
| JP 2001326222  | A    | 20011122 | JP 2000143725 | A    | 20000516 | 200227   |
| TW 495882      | A    | 20020721 | TW 2001111666 | A    | 20010515 | 200329   |

Priority Applications (No Type Date): JP 2000143725.A 20000516

Patent Details:

| Patent No      | Kind | Lan | Pg | Main IPC      | Filing Notes |
|----------------|------|-----|----|---------------|--------------|
| US 20010051447 | A1   |     | 19 | H01L-021/31   |              |
| JP 2001326222  | A    |     | 12 | H01L-021/312  |              |
| TW 495882      | A    |     |    | H01L-021/3105 |              |

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326222

(43)Date of publication of application : 22.11.2001

(51)Int.Cl.

H01L 21/312  
C23C 16/30  
H01L 21/316  
H01L 21/318  
H01L 21/768

(21)Application number : 2000-143725

(71)Applicant : NEC CORP

(22)Date of filing : 16.05.2000

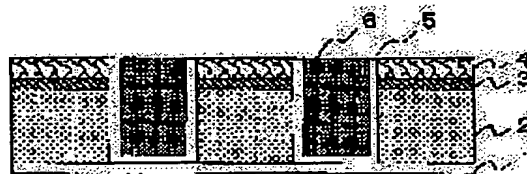
(72)Inventor : USAMI TATSUYA

### (54) SEMICONDUCTOR DEVICE, SEMICONDUCTOR WAFER, AND THEIR MANUFACTURING METHOD

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the interface coherency between low-dielectric-constant and protection films without losing the excellent dielectric characteristics, flatness, and gap fill characteristics of an organic low-dielectric-constant material.

**SOLUTION:** In wiring structure where a copper film 6 is buried in a wiring layer insulating film, the wiring layer insulating film is in structure where an MSQ(methyl silsesquioxane) film 2, an MHSQ(methylated hydrogen silsesquioxane) film 3, and a silicon oxide film 4 are laminated.



#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-326222  
(P2001-326222A)

(43)公開日 平成13年11月22日(2001. 11. 22)

| (51)Int.Cl. <sup>7</sup>             | 識別記号 | F I            | テ-マ-ト <sup>7</sup> (参考) |
|--------------------------------------|------|----------------|-------------------------|
| H 0 1 L 21/312                       |      | H 0 1 L 21/312 | N 4 K 0 3 0             |
| C 2 3 C 16/30                        |      | C 2 3 C 16/30  | 5 F 0 3 3               |
| H 0 1 L 21/316                       |      | H 0 1 L 21/316 | G 5 F 0 5 8             |
|                                      |      |                | X                       |
|                                      |      |                | M                       |
| 審査請求 未請求 請求項の数23 O L (全 12 頁) 最終頁に続く |      |                |                         |

(21)出願番号 特願2000-143725(P2000-143725)

(22)出願日 平成12年5月16日(2000. 5. 16)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088328

弁理士 金田 暢之 (外2名)

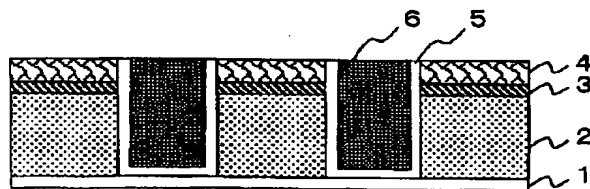
最終頁に続く

(54)【発明の名称】 半導体装置、半導体ウェーハおよびこれらの製造方法

(57)【要約】

【課題】有機低誘電率材料の持つ優れた誘電特性、平坦性およびギャップフィル特性を損なうことなく、低誘電率膜と保護膜との界面密着性を改善すること。

【解決手段】配線層絶縁膜中に銅膜6が埋め込まれた配線構造において、配線層絶縁膜を、MSQ(メチルシルセスキオキサン)膜2、MHSQ(メチル化ヒドロジェンシルセスキオキサン)膜3、およびシリコン酸化膜4が積層した構造とする。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に多層絶縁膜が設けられ、該多層絶縁膜中に配線が形成された半導体装置であって、該多層絶縁膜は、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層と、該第一の絶縁層の上部に接して形成された Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層と、該第二の絶縁層の上部に接して形成された無機材料からなる第三の絶縁層と、を含んでなることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置であって、前記第二の絶縁層は、ハイドロジェンシロキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする半導体装置。

【請求項 4】 請求項 1 乃至 3 いずれかに記載の半導体装置であって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする半導体装置。

【請求項 5】 一表面に多層絶縁膜が形成された半導体ウェーハであって、該多層絶縁膜は、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層と、該第一の絶縁層の上部に接して形成された Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層と、該第二の絶縁層の上部に接して形成された無機材料からなる第三の絶縁層と、を含んでなることを特徴とする半導体ウェーハ。

【請求項 6】 請求項 5 に記載の半導体ウェーハであって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする半導体ウェーハ。

【請求項 7】 請求項 5 または 6 に記載の半導体ウェーハであって、前記第二の絶縁層は、ハイドロジェンシロキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする半導体ウェーハ。

【請求項 8】 請求項 5 乃至 7 いずれかに記載の半導体ウェーハであって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする半導体ウェーハ。

【請求項 9】 半導体ウェーハ上に第一の絶縁層、第二の絶縁層および第三の絶縁層を含む多層絶縁膜を形成する方法であって、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層を形成する工程と、第一の絶縁層の上部に接するように、Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層を

形成する工程と、第二の絶縁層の上部に接するように、無機材料からなる第三の絶縁層を形成する工程と、を有することを特徴とする多層絶縁膜の形成方法。

【請求項 10】 請求項 9 に記載の多層絶縁膜の形成方法であって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする多層絶縁膜の形成方法。

【請求項 11】 請求項 9 または 10 に記載の多層絶縁膜の形成方法であって、前記第二の絶縁層は、ハイドロジェンシロキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする多層絶縁膜の形成方法。

【請求項 12】 請求項 9 乃至 11 いずれかに記載の多層絶縁膜の形成方法であって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする多層絶縁膜の形成方法。

【請求項 13】 請求項 9 乃至 12 いずれかに記載の多層絶縁膜の形成方法であって、プラズマ CVD 法を用い、プラズマ雰囲気から半導体ウェーハを取り出すことなく、前記第一の絶縁層および前記第二の絶縁層を形成することを特徴とする多層絶縁膜の形成方法。

【請求項 14】 請求項 13 に記載の多層絶縁膜の形成方法であって、前記第一の絶縁層の形成に用いる原料ガスを、アルキルシランガスおよび酸化性ガスを含む混合ガスとし、第二の絶縁層の形成に用いる原料ガスを、モノシランガス、アルキルシランガスおよび酸化性ガスを含む混合ガスとすることを特徴とする多層絶縁膜の形成方法。

【請求項 15】 請求項 9 乃至 12 いずれかに記載の多層絶縁膜の形成方法であって、半導体ウェーハ上に前記有機低誘電率材料を含む溶液を回転塗布した後、熱処理を行うことにより第一の絶縁層を形成し、次いで 200℃以上 500℃以下の雰囲気下で加熱処理を行い、その後、プラズマ CVD 法を用いて第二の絶縁層を形成することを特徴とする多層絶縁膜の形成方法。

【請求項 16】 半導体基板上に、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層を形成する工程と、第一の絶縁層の上部に接するように、Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層を形成する工程と、第二の絶縁層の上部に接するように、無機材料からなる第三の絶縁層を形成する工程と、第一の絶縁層、第二の絶縁層および第三の絶縁層をエッチングして凹部を形成する工程と、該凹部を埋め込むように全面に導電膜を形成する工程と、化学的機械的研磨またはエッチングにより、凹部外の領域に形成された導電膜を除去する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 17】 半導体基板上に、側面に側壁絶縁膜が設けられたゲート電極を形成し、該ゲート電極の両側の

半導体基板表面領域に一对の不純物拡散領域を形成する工程と、全面に酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層を形成する工程と、第一の絶縁層の上部に接するように、Si-H基を有するポリシロキサン化合物からなる第二の絶縁層を形成する工程と、第二の絶縁層の上部に接するように、無機材料からなる第三の絶縁層を形成する工程と、第一の絶縁層、第二の絶縁層および第三の絶縁層をエッチングして接続孔を設け、該接続孔の底部に前記不純物拡散領域を露出させるとともに該接続孔の側面に前記側壁絶縁膜を露出させる工程と、該接続孔を埋め込むように全面に導電膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項18】 請求項16または17に記載の半導体装置の製造方法であって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする半導体装置の製造方法。

【請求項19】 請求項16乃至18いずれかに記載の半導体装置の製造方法であって、前記第二の絶縁層は、  
20    ハイドロジェンシルセスキオキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする半導体装置の製造方法。

【請求項20】 請求項16乃至19いずれかに記載の半導体装置の製造方法であって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸窒化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする半導体装置の製造方法。

【請求項21】 請求項16乃至20いずれかに記載の半導体装置の製造方法であって、プラズマCVD法を用い、  
30    プラズマ雰囲気から半導体ウェーハを取り出すことなく、前記第一の絶縁層および前記第二の絶縁層を形成することを特徴とする半導体装置の製造方法。

【請求項22】 請求項21に記載の半導体装置の製造方法であって、前記第一の絶縁層の形成に用いる原料ガスを、アルキルシランガスおよび酸化性ガスを含む混合ガスとし、第二の絶縁層の形成に用いる原料ガスを、モノシランガス、アルキルシランガスおよび酸化性ガスを含む混合ガスとすることを特徴とする半導体装置の製造方法。

【請求項23】 請求項16乃至20いずれかに記載の半導体装置の製造方法であって、半導体ウェーハ上に前記有機低誘電率材料を含む溶液を回転塗布した後、熱処理を行うことにより第一の絶縁層を形成し、次いで200℃以上500℃以下の雰囲気下で加熱処理を行い、その後、  
40    プラズマCVD法を用いて第二の絶縁層を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低誘電率膜の形成された半導体ウェーハ、低誘電率膜中に配線等の形成さ

れた半導体装置、およびこれらの製造方法に関する。

【0002】

【従来の技術】 近年、素子の高速度動作性に対する要請から、配線間容量を小さくする低誘電率材料を利用する技術が、盛んに検討されている。

【0003】 以下、図6～7を参照して、低誘電率材料を用いたダマシン銅配線の形成プロセスについて説明する。

【0004】 まず図6(a)のように、シリコン基板上に形成された下層配線層（不図示）の上にシリコン窒化膜1を成膜した後、この上にMSQ（Methyl Silsesquioxane   メチルシルセスキオキサン）膜2を成膜する。MSQ膜2の成膜は、回転塗布法等により行う。次いでこの上に酸化シリコンからなるシリコン酸化膜4を成膜する。シリコン酸化膜4は、次工程で用いるレジストを剥離する際の酸素プラズマアッシングに対する耐性を高め、また、吸湿による誘電率上昇を防止する等の目的で形成される。つづいて、シリコン酸化膜4の上に不図示のレジストマスクを形成した後、ドライエッチングにより、MSQ膜2およびシリコン酸化膜4中に、シリコン窒化膜1に達する配線溝を形成する（図6(c)）。

【0005】 次にスパッタリング法等により、全面にバリア金属膜5を形成する（図7(a)）。次に全面に銅膜6を形成した後、CMPによる平坦化を行い、配線溝内に銅膜6を残してダマシン配線を完成する（図7(b)）。

【0006】 以上の手順により得られる半導体装置は、配線間が低誘電率のMSQ膜2によって充填されているため、クロストークを有効に防止できる。ところが、有機材料からなるMSQ膜2の上に無機材料からなるシリコン酸化膜4が形成されているため、これらの膜の界面の密着性が悪く、後工程で図5のように剥離が発生しやすい。低誘電率を得るためにはMSQ膜2の有機成分を増加させるのが有利であり、一方、シリコン酸化膜4についてはアッシング耐性等の要請から無機材料とすることが望ましい。このため、これらの膜の親和性が不良となり、界面で剥離が発生しやすくなるのである。このような剥離が生じると、配線工程における歩留まり低下の原因となる。

【0007】 このような剥離を防止するため、MSQ膜2に代えて有機成分を含まないHSQ（Hydrogen Silsesquioxane   ハイドロジェンシルセスキオキサン）等の材料を用いることも考えられるが、この場合、MSQを用いた場合に比較して誘電率が上昇する。

【0008】 また、剥離防止のため、MSQ膜成膜後、その表面に対してオゾン処理、UVーオゾン処理または酸素プラズマ処理等を行い、密着性を向上させることも検討されてきた。しかし、これらの方法では、膜中に水分が侵入したり絶縁膜の誘電率が上昇する上、膜の表面が荒れて残渣が生じるといった問題が発生する。そこ

で、このような問題の生じない、密着性向上手段が望まれていた。

【0009】一方、微細加工技術に対する要求水準が高まる中、層間絶縁膜形成後の平坦化プロセスの重要性が益々高まりつつある。良好な平坦度が得られないと、露光の焦点がずれ、フォトレジストの加工が困難になるだけでなく、そのフォトレジストをマスクにした後のエッチング工程でのエッチング残りが多発することになる。層間絶縁膜の平坦性を高めるため、従来、メタル配線工程の前工程の絶縁膜材料として、リフロー性を有するBPSG（リンボロンガラス）等が用いられてきた。以下、図8～9を参照して、BPSGを用いた従来のメモリ系デバイスの形成プロセスについて説明する。

【0010】まず図8（a）に示すように、シリコン半導体基板上にワード線を兼ねるゲート電極60を形成する。以下、この状態に至るまでの工程の概略を説明する。はじめにp-形シリコン単結晶からなる半導体基板51の表面に選択酸化によりフィールド絶縁膜53を形成する。次にリンをイオン注入し、p型ウェル領域52を形成する。つづいて熱酸化処理により酸化シリコン膜61を形成した後、その上に多結晶シリコン膜62、WSi膜63、シリコン窒化膜64を成膜する。次いでこれらの膜をエッチングによりパターンニングしてゲート電極60を形成する。つづいてシリコン窒化膜を成膜後、異方性エッチングを行い、ゲート電極60側面に窒化シリコンからなる側壁絶縁膜65を形成する。つづいて、イオン注入を行うことにより不純物拡散層54を形成する。以上の工程により図8（a）の状態となる。

【0011】次にCVD法により、BPSG膜55を成膜する。成膜後、窒素アニールによるリフローを行う。その後、パフアードフッ化水素（BHF）を用いてエッチバックを行い、BPSG膜55表面を平坦化する（図8（b））。

【0012】次に、BPSG膜55の表面にパターンニングされたフォトレジスト（不図示）を設けた後、これをマスクとしてBPSG膜55をドライエッチングにより加工し、コンタクトホール57を形成する（図9

（a））。このとき側壁絶縁膜65がエッチング阻止膜として機能し、接続孔57がセルフアラインに形成される。次いでパフアードフッ酸を用いて不純物拡散層54上の自然酸化膜を除去する。

【0013】その後、接続孔57を埋め込むように多結晶シリコン膜72を形成した後、リンを添加する。さらにタングステンシリサイド（WSi）膜73およびシリコン酸化膜74を堆積した後、エッチングによりビット線を形成する（図9（b））。

【0014】ところが、近年においては高集積化の要請からゲート電極（ワード線）の間隔が0.2μm以下と、きわめて狭くなっているため、層間絶縁膜材料として、優れたギャップフィル性が求められる。特に、上記した

プロセスのように、ゲート電極の側壁絶縁膜によりコンタクト孔と配線層の間の絶縁を確保する、いわゆるセルフアラインコンタクト技術の採用が必須となるような高集積化プロセスにおいては、絶縁材料の埋め込み性に対する要求水準もきわめて高いものとなる。絶縁膜材料としてBPSGを用いる従来技術では、かかる要求に 대응することは困難であり、よりギャップフィル性の優れた材料を用いることが必須となる。このような要求を満たす絶縁膜として、HSQ等の無機SOG膜や、MSQ等の有機SOG膜が考えられる。ところが、HSQは薬液耐性が低いため、パフアードフッ酸による自然酸化膜を除去工程でサイドエッチングが進行し、設計通りの形状のコンタクトホールを形成することが困難となる。また、HSQ以外の無機SOG膜は、一般にクラックが発生しやすいという問題がある。以上のことから、MSQ等の有機SOG膜が、最も好適に用いられる。MSQ等の有機低誘電率膜は、狭いギャップに対する埋め込み性に優れ、しかも良好な平坦性が得られる。

【0015】ところが、MSQ等の有機低誘電率材料を用いた場合、アッシング耐性等を付与するため、その上に酸化シリコン等からなる無機保護膜を形成することが必要となる。この結果、前述したようにMSQ膜と無機保護膜との間の剥離の発生が問題となる。

【0016】

【発明が解決しようとする課題】本発明は、上記事情に鑑み、有機低誘電率材料の持つ優れた誘電特性、平坦性およびギャップフィル特性を損なうことなく、低誘電率膜と保護膜との界面密着性を改善することを目的とする。

【0017】

【課題を解決するための手段】上記課題を解決する本発明は、以下の事項により特定される。

【0018】[1] 半導体基板上に多層絶縁膜が設けられ、該多層絶縁膜中に配線が形成された半導体装置であって、該多層絶縁膜は、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層と、該第一の絶縁層の上部に接して形成されたSi-H基を有するポリシロキサン化合物からなる第二の絶縁層と、該第二の絶縁層の上部に接して形成された無機材料からなる第三の絶縁層と、を含んでなることを特徴とする半導体装置。

【0019】[2] [1]に記載の半導体装置であって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする半導体装置。

【0020】[3] [1]または[2]に記載の半導体装置であって、前記第二の絶縁層は、ヒドロジェンシルセスキオキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする半導体装置。

【0021】[4] [1]乃至[3]いずれかに記載の

半導体装置であって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸窒化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする半導体装置。

【0022】[5] 一表面に多層絶縁膜が形成された半導体ウェーハであって、該多層絶縁膜は、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層と、該第一の絶縁層の上部に接して形成された Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層と、該第二の絶縁層の上部に接して形成された無機材料からなる第三の絶縁層と、を含んでなることを特徴とする半導体ウェーハ。

【0023】[6] [5] に記載の半導体ウェーハであって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする半導体ウェーハ。

【0024】[7] [5] または [6] に記載の半導体ウェーハであって、前記第二の絶縁層は、ハイドロジェンシルセスキオキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする半導体ウェーハ。

【0025】[8] [5] 乃至 [7] いずれかに記載の半導体ウェーハであって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸窒化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする半導体ウェーハ。

【0026】[9] 半導体ウェーハ上に第一の絶縁層、第二の絶縁層および第三の絶縁層を含む多層絶縁膜を形成する方法であって、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層を形成する工程と、第一の絶縁層の上部に接するように、Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層を形成する工程と、第二の絶縁層の上部に接するように、無機材料からなる第三の絶縁層を形成する工程と、を有することを特徴とする多層絶縁膜の形成方法。

【0027】[10] [9] に記載の多層絶縁膜の形成方法であって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする多層絶縁膜の形成方法。

【0028】[11] [9] または [10] に記載の多層絶縁膜の形成方法であって、前記第二の絶縁層は、ハイドロジェンシルセスキオキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする多層絶縁膜の形成方法。

【0029】[12] [9] 乃至 [11] いずれかに記載の多層絶縁膜の形成方法であって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸窒化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする多層絶縁膜の形成方法。

【0030】[13] [9] 乃至 [12] いずれかに記載の多層絶縁膜の形成方法であって、プラズマ CVD 法

を用い、プラズマ雰囲気から半導体ウェーハを取り出すことなく、前記第一の絶縁層および前記第二の絶縁層を形成することを特徴とする多層絶縁膜の形成方法。

【0031】[14] [13] に記載の多層絶縁膜の形成方法であって、前記第一の絶縁層の形成に用いる原料ガスを、アルキルシランガスおよび酸化性ガスを含む混合ガスとし、第二の絶縁層の形成に用いる原料ガスを、モノシランガス、アルキルシランガスおよび酸化性ガスを含む混合ガスとすることを特徴とする多層絶縁膜の形成方法。

【0032】[15] [9] 乃至 [12] いずれかに記載の多層絶縁膜の形成方法であって、半導体ウェーハ上に前記有機低誘電率材料を含む溶液を回転塗布した後、熱処理を行うことにより第一の絶縁層を形成し、次いで 200℃以上 500℃以下の雰囲気下で加熱処理を行い、その後、プラズマ CVD 法を用いて第二の絶縁層を形成することを特徴とする多層絶縁膜の形成方法。

【0033】[16] 半導体基板上に、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層を形成する工程と、第一の絶縁層の上部に接するように、Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層を形成する工程と、第二の絶縁層の上部に接するように、無機材料からなる第三の絶縁層を形成する工程と、第一の絶縁層、第二の絶縁層および第三の絶縁層をエッチングして凹部を形成する工程と、該凹部を埋め込むように全面に導電膜を形成する工程と、化学的機械的研磨またはエッチングにより、凹部外の領域に形成された導電膜を除去する工程と、を有することを特徴とする半導体装置の製造方法。

【0034】[17] 半導体基板上に、側面に側壁絶縁膜が設けられたゲート電極を形成し、該ゲート電極の両側の半導体基板表面領域に一对の不純物拡散領域を形成する工程と、全面に酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる第一の絶縁層を形成する工程と、第一の絶縁層の上部に接するように、Si-H 基を有するポリシロキサン化合物からなる第二の絶縁層を形成する工程と、第二の絶縁層の上部に接するように、無機材料からなる第三の絶縁層を形成する工程と、第一の絶縁層、第二の絶縁層および第三の絶縁層をエッチングして接続孔を設け、該接続孔の底部に前記不純物拡散領域を露出させるとともに該接続孔の側面に前記側壁絶縁膜を露出させる工程と、該接続孔を埋め込むように全面に導電膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【0035】[18] [16] または [17] に記載の半導体装置の製造方法であって、前記第一の絶縁層は、オルガノポリシロキサンまたは芳香族含有有機樹脂からなることを特徴とする半導体装置の製造方法。

【0036】[19] [16] 乃至 [18] いずれかに記載の半導体装置の製造方法であって、前記第二の絶縁

層は、ハイドロジェンシルセスキオキサンおよび／またはヒドリドオルガノシロキサンであることを特徴とする半導体装置の製造方法。

【0037】[20] [16] 乃至 [19] いずれかに記載の半導体装置の製造方法であって、前記第三の絶縁層は、酸化シリコン、窒化シリコンおよび酸化窒化シリコンからなる群から選ばれる一または二以上の材料からなることを特徴とする半導体装置の製造方法。

【0038】[21] [16] 乃至 [20] いずれかに記載の半導体装置の製造方法であって、プラズマCVD法を用い、プラズマ雰囲気から半導体ウェーハを取り出すことなく、前記第一の絶縁層および前記第二の絶縁層を形成することを特徴とする半導体装置の製造方法。

【0039】[22] [21] に記載の半導体装置の製造方法であって、前記第一の絶縁層の形成に用いる原料ガスを、アルキルシランガスおよび酸化性ガスを含む混合ガスとし、第二の絶縁層の形成に用いる原料ガスを、モノシランガス、アルキルシランガスおよび酸化性ガスを含む混合ガスとすることを特徴とする半導体装置の製造方法。

【0040】[23] [16] 乃至 [20] いずれかに記載の半導体装置の製造方法であって、半導体ウェーハ上に前記有機低誘電率材料を含む溶液を回転塗布した後、熱処理を行うことにより第一の絶縁層を形成し、次いで200℃以上500℃以下の雰囲気下で加熱処理を行い、その後、プラズマCVD法を用いて第二の絶縁層を形成することを特徴とする半導体装置の製造方法。

【0041】上記本発明によれば、第一の絶縁層として有機低誘電率材料を用いているため、配線間のクロストークを防止でき、また、狭いギャップを絶縁膜材料により好適に埋め込むことができる。そして、第一の絶縁層と第三の絶縁層との間に、Si-H基を有するポリシロキサン化合物からなる第二の絶縁層を介在させているため、層間密着性が良好となり、各層の界面剥離を効果的に防止することができる。このため、プロセスの歩留まりを向上できるとともに、信頼性の高い半導体装置を得ることができる。

【0042】なお、[16] 記載の発明における凹部とは、配線溝、接続孔等、任意の形状のものを含む。また、[17] 記載の発明においては、不純物拡散領域を形成するためのイオン注入は、ゲート電極パターン形成後に行われるが、側壁絶縁膜形成前後のいずれの段階で行っても良い。

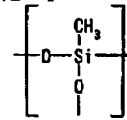
【0043】

【発明の実施の形態】本発明における第一の絶縁層は、酸化シリコンよりも低い誘電率を有する有機低誘電率材料からなる。好ましくは比誘電率3.5以下、より好ましくは比誘電率3.0以下のものが用いられ、たとえば、オルガノポリシロキサンまたは芳香族含有有機樹脂が好ましく用いられる。

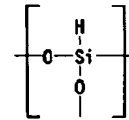
【0044】オルガノポリシロキサンとは、有機官能基を有するポリシロキサンであり、誘電特性および加工性に優れることから、アルキルシルセスキオキサンやヒドリドアルキルシロキサン等が好ましく用いられる。たとえば下記繰返し単位(I)および(III)からなるメチルシルセスキオキサン、または、繰返し単位(I)、(II)および(III)等からなるメチル化ハイドロジェンシルセスキオキサン（以下、適宜、「MHSQ」という。）が好ましく用いられ、このうち、誘電特性および加工性がより優れるメチルシルセスキオキサンが特に好ましく用いられる。

【0045】

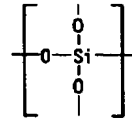
【化1】



(I)



(II)



(III)

【0046】なお、MHSQを用いる場合、(I)、(II)および(III)の合計に対する(I)のモル比は、好ましくは0.5以上、より好ましくは0.7以上とする。

(I)の含有率が低すぎると誘電率を十分に低くすることが困難であり、また、加工性が損なわれる場合がある。

【0047】芳香族含有有機樹脂としては、ポリアリールエーテル(PAE)、ジビニルシロキサンービスーベンゾシクロブテン(BCB)等を例示することができる。これらは、比誘電率が低い上、耐熱性も比較的良好である。

【0048】本発明における第二の絶縁層は、Si-H基を有するポリシロキサン化合物からなる。たとえば上記した繰返し単位(II)および(III)からなるハイドロジェンシルセスキオキサン、または、繰返し単位(I)、(II)および(III)等からなるMHSQが好ましく用いられる。これらのポリマーは、分子中にSi-H基を有するため、有機低誘電率絶縁膜からなる第一の絶縁層、および、無機材料からなる第三の絶縁層との密着性に優れる。これらの層との密着性に優れる理由は必ずしも明らかではないが、Si-Hが脱水素化して反応活性部位が形成され、第一および第三の絶縁層の構成材料と反応を起こすことによるものと推察される。

【0049】なお、MHSQを用いる場合、(I)、(II)および(III)の合計に対する(II)のモル比は、好ましくは0.2以上、より好ましくは0.5以上とする。このような範囲とすることで、より充分な層間密着性を得ることができる。

【0050】本発明における第三の絶縁層は、レジストを剥離する際の酸素プラズマアッシングに対する耐性を高め、CMPを行う際のスクラッチ耐性を高め、また、



吸湿による誘電率上昇を防止する等の目的で形成される。第三の絶縁層は、たとえば、酸化シリコン、窒化シリコンおよび酸窒化シリコンからなる群から選ばれる一または二以上の材料からなるものとするのが好ましい。

【0051】本発明における多層絶縁膜は、上記した第一、第二および第三の絶縁層を含んでなるが、これらの層のうち、第一の絶縁層が最も厚いことが好ましい。本発明は、第一の絶縁層を構成する有機低誘電率材料の優れた誘電特性、平坦性およびギャップフィル特性を有効活用するものだからである。なお、本発明における多層絶縁膜において、第二の絶縁層中に、MSQ等からなる他の材料層が挿入されていてもよい。

【0052】本発明における第一の絶縁層は、プラズマCVD法、スピンコート法等により形成することができる。プラズマCVD法による場合は、原料ガスとして、アルキルシランガスおよび酸化性ガスの混合ガスを用いる。アルキルシランガスとしては、モノメチルシラン、ジメチルシラン、トリメチルシランまたはテトラメチルシラン等が挙げられ、これらを単独で使用、または2種以上を併用することができる。このうち、トリメチルシランが好適に用いられる。酸化性ガスとは、アルキルシランに対する酸化作用を示すガスであって、分子中に酸素元素を含むものが用いられる。たとえば、NO、NO<sub>2</sub>、CO、CO<sub>2</sub>およびO<sub>2</sub>からなる群から選ばれる一または二以上のガスを用いることができ、このうち、酸化力の強さが適度であることから、NOおよびNO<sub>2</sub>が好ましく用いられる。一方、第一の絶縁層をスピンコート法により形成する場合は、所定の回転速度で回転するウェーハ上に層材料の溶解した溶液を滴下して塗布し、次いで多段階の熱処理を行って乾燥、固化を行うことにより成膜する。

【0053】本発明における第二の絶縁層は、第一の絶縁層と同様、プラズマCVD法、スピンコート法等により形成することができる。より高度の密着性が必要となる場合は、プラズマCVD法を用いるのが好ましい。

【0054】プラズマCVD法による場合は、原料ガスとしては、モノシラン(SiH<sub>4</sub>)ガス、アルキルシランガスおよび酸化性ガスの混合ガスを用いるのが好ましい。アルキルシランガスとしては、モノメチルシラン、ジメチルシラン、トリメチルシランまたはテトラメチルシラン等が挙げられ、これらを単独で使用、または2種以上を併用することができる。このうちトリメチルシランが好適に用いられる。酸化性ガスとは、アルキルシランに対する酸化作用を示すガスであって、分子中に酸素元素を含むものが用いられる。たとえば、NO、NO<sub>2</sub>、CO、CO<sub>2</sub>およびO<sub>2</sub>からなる群から選ばれる一または二以上のガスを用いることができ、このうち、酸化力の強さが適度であることから、NOおよびNO<sub>2</sub>が好ましく用いられる。

【0055】一方、第一の絶縁層をスピンコート法により形成する場合は、所定の回転速度で回転するウェーハ上に層材料の溶解した溶液を滴下して塗布し、次いで多段階の熱処理を行って乾燥、固化を行うことにより成膜する。

【0056】本発明における第三の絶縁層は、熱CVD法やプラズマCVD法により形成することができる。原料ガスとしては、たとえば、モノシラン(SiH<sub>4</sub>)ガスおよび酸化性ガスの混合ガス、あるいは、テトラエトキシシラン(TEOS)等を用いることができる。

【0057】本発明においては、上記第一および第二の絶縁層の形成を、下記(i)または(ii)の方法により行うことが好ましい。

(i)プラズマCVD法を用い、プラズマ雰囲気から半導体ウェーハを取り出すことなく第一の絶縁層、第二の絶縁層を形成する方法。

(ii)半導体ウェーハ上に前記有機低誘電率材料を含む溶液を回転塗布した後、熱処理を行うことにより第一の絶縁層を形成し、次いで200℃以上500℃以下、好ましくは350℃以上500℃以下の雰囲気下で加熱処理を行い、その後、第二の絶縁層を形成する方法。

【0058】上記(i)の方法では、プラズマ雰囲気から半導体ウェーハを取り出すことがないため、第二の絶縁層に含まれるSi-H基の反応性が低下することを防止でき、また、形成された層の吸湿を防止でき、この結果、第二の絶縁層と他の層との密着性が特に良好となる。

【0059】上記(ii)の方法では、第一の絶縁層を回転塗布法により形成するため、狭いギャップ間にも確実に絶縁材料を形成することができる。このため、従来技術の項で説明したゲート電極上の層間絶縁膜形成プロセス(図8)等に好適に適用することができる。また、この方法では、第一の絶縁層を形成後、所定の温度で加熱処理を行うため、第一の絶縁層と第二の絶縁層との間の密着性が更に良好となる。この理由は必ずしも明らかでないが、第一の絶縁層表面に吸着した水等が揮発すること、第一の絶縁層表面の活性が高まること等により、第二の絶縁層の構成材料との反応がより円滑に進行するためと考えられる。なお、この熱処理は、減圧下、たとえば1~100Paの雰囲気で行うことが好ましく、処理時間は、通常、1~10分程度とする。

【0060】本発明において、「配線」とは、トランジスタ等の素子を電気的に接続するものの総称として用いており、メモリ素子におけるゲート電極を兼ねるワード線等も含む。本発明は、多層絶縁膜に設けられた複数の凹部に導電膜が埋め込まれてなるダマシン配線構造や、ゲート電極上にセルフアラインコンタクトを設ける構造に適用した場合、特に効果的である。

【0061】

【実施例】実施例1

本実施例では、ダマシ銅配線が積層されてなる多層配線構造を備えた半導体装置を作製する際のプロセスの一例を示す。

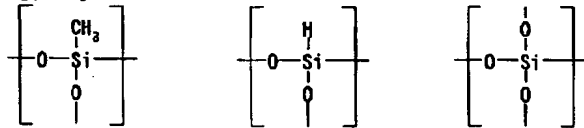
【0062】ロジック系デバイス等においては、図4のように複数の配線層が積層された多層配線構造がしばしば採用される。シリコン基板40上の第一層(素子形成層)にゲート電極42および不純物拡散層41からなるトランジスタが形成され、その上に、層間絶縁膜45中に設けられた銅配線44が多層に積層した構造となっている。各銅配線間は層間接続プラグ43により接続されている。

【0063】本実施例では、このような多層配線を構成する各配線層の詳細な構造を図1のようにした。図1に示す配線構造は、シリコン窒化膜1上に、MSQ(メチルシルセスキオキサン)膜2、MHSQ(メチル化ヒドロジェンシルセスキオキサン)膜3、およびシリコン酸化膜4がこの順で積層された多層絶縁膜が形成されている。この多層絶縁膜中に、複数の配線溝が形成され、その内部にTaからなるバリアメタル膜5を介して銅膜6が埋め込まれた構造となっている。銅膜6の厚みは2000~5000nm程度である。

【0064】以下、図1の配線構造を形成するプロセスについて図面を参照して説明する。まず図2(a)のように、下層配線層(不図示)の上にプラズマCVD法によりシリコン窒化膜1(膜厚50nm)を成膜した後、この上にMSQ膜2(膜厚250nm)を成膜した。MSQ膜2成膜時の原料ガスは、トリメチルシランおよびN<sub>2</sub>Oの混合ガスを用いた。MSQ膜2は、下記繰返し単位(I)および(III)からなる構造を有する。

【0065】

【化2】



(I)

(II)

(III)

【0066】MSQ膜2の成膜後、その上にプラズマCVD法によりMHSQ膜3(膜厚50nm)を形成した(図2(b))。原料ガスは、モノシラン(SiH<sub>4</sub>)、トリメチルシランおよびN<sub>2</sub>Oの混合ガスを用いた。MHSQ膜3は、上記繰返し単位(I)、(II)および(III)からなる構造を有する。原料ガスの組成比から、(I)、(II)および(III)の合計に対する(II)のモル比は、0.5~0.6である。

【0067】つづいてMHSQ膜3上にプラズマCVD法等によりシリコン酸化膜4(膜厚100nm)を形成した(図2(c))。原料ガスとしては、モノシラン(SiH<sub>4</sub>)およびN<sub>2</sub>Oの混合ガスを用いた。

【0068】以上のようにして、MSQ膜2、MHSQ

膜3およびシリコン酸化膜4が積層してなる多層膜を形成した。これらは、プラズマ装置内のプラズマ雰囲気からウェーハを取り出すことなく、原料ガスを変えて一連の工程で成膜を行った。その後、この多層膜をドライエッチングし、シリコン窒化膜1に達する配線溝を形成した(図2(d))。

【0069】つづいて、スパッタリング法により、全面にTaからなるバリアメタル膜5を形成した(図3(a))。次にめっき法により、全面に銅膜6を形成した(図3(b))。銅膜6の形成はCVD法やスパッタリング法等により行うこともできるが、カバレッジの良好なめっき法またはCVD法によることが好ましい。銅膜6形成後、全面をCMPにより平坦化し、配線溝内に銅膜6を残してダマシ配線を完成した。

【0070】以上のプロセスにより得られた半導体装置は、配線間が低誘電率のMSQ膜2によって充填されているためクロストークの問題が少なく、また、MSQ膜2とシリコン酸化膜4の間にMHSQ膜3が介在しているため、層間密着性が良好であった。

【0071】実施例2

まず図10(a)に示すように、シリコン半導体基板上にワード線を兼ねるゲート電極60を形成した。以下、この状態に至るまでの工程の概略を説明する。はじめにp-形シリコン単結晶からなる半導体基板51の表面に選択酸化によりフィールド絶縁膜53を形成した。次にリンをイオン注入し、p型ウエル領域52を形成した。つづいて熱酸化処理により酸化シリコン膜61を形成した後、その上に多結晶シリコン膜62、WSi膜63、シリコン酸化膜を成膜した。これらの膜をエッチングによりパターンニングしてゲート電極60を形成した。つづいてシリコン窒化膜を成膜後、異方性エッチングを行い、ゲート電極60側面に窒化シリコンからなる側壁絶縁膜65を形成した。ついでイオン注入を行うことにより不純物拡散層54を形成した。以上の工程により図10(a)の状態となる。

【0072】次に回転塗布法によりMSQ膜2(膜厚300nm)を成膜した。すなわち、ゲート電極パターン形成されたウェーハを回転させながら、メチルシルセスキオキサン溶液を滴下し、回転塗布した後、80℃、100℃、120℃のステップキュアを行い、溶媒を乾燥させるとともにメチルシルセスキオキサンを固化させ、MSQ膜2を形成した。MSQは、狭いギャップに対する埋め込み性に優れるため、図10(b)に示すように狭い間隔でゲート電極パターンが形成された領域上にも良好な埋め込み性で絶縁膜を形成することができる。

【0073】以上のようにしてMSQ膜2を成膜した後、上記処理を施したウェーハを成膜装置内に配置し、次いで450℃の雰囲気下で10分程度放置した。その後、プラズマCVD法により、MHSQ膜3(膜厚50

nm) およびシリコン酸化膜 4 (膜厚 100 nm) を成膜した (図 10 (c))。これらは、プラズマ装置内のプラズマ雰囲気からウェーハを取り出すことなく、原料ガスを変えて一連の工程で成膜を行った。MHSQ 膜 3 成膜時の原料ガスは、モノシラン ( $\text{SiH}_4$ )、トリメチルシランおよび  $\text{N}_2\text{O}$  の混合ガスとし、シリコン酸化膜 4 成膜時の原料ガスは、モノシラン ( $\text{SiH}_4$ ) および  $\text{N}_2\text{O}$  の混合ガスとした。原料ガスの組成比から、前記繰り返し単位 (I)、(II) および (III) の合計に対する (II) のモル比は、0.5~0.6 である。

【0074】 以上のようにして MSQ 膜 2、MHSQ 膜 3 およびシリコン酸化膜 4 が積層してなる多層膜を形成した後、この上にパターンニングされたフォトリソグロブ (不図示) を設け、これをマスクとして MSQ 膜 2、MHSQ 膜 3 およびシリコン酸化膜 4 をドライエッチングにより加工し、接続孔 57 を形成した。このとき側壁絶縁膜 65 がエッチング阻止膜として機能し、接続孔 57 がセルフアラインに形成される。次いでバッファードフッ酸を用いて不純物拡散層 54 上の自然酸化膜を除去した。

【0075】 その後、接続孔 57 を埋め込むように多結晶シリコン膜 72 を形成した後、リンを添加した。さらに DC マグネトロン・スパッタ法により、タングステンシリサイド ( $\text{WSi}$ ) 膜 73 およびシリコン酸化膜 74 を堆積した。その後、多結晶シリコン膜 72、タングステンシリサイド ( $\text{WSi}$ ) 膜 73 およびシリコン酸化膜 74 を、RIE によりエッチングしてビット線を形成した (図 11 (b))。

【0076】 以上のプロセスにより得られた半導体装置は、層間絶縁膜としてギャップフィル性および平坦性に優れる MSQ を用いているため、ゲート電極間の狭いギャップにおける埋め込み性が良好であり、また、MSQ 膜 2 とシリコン酸化膜 4 の間に MHSQ 膜 3 が介在しているため、層間密着性が良好であった。

【0077】

【発明の効果】 以上説明したように本発明によれば、第一の絶縁層として有機低誘電率材料を用いているため、配線間のクロストークを防止でき、また、狭いギャップを絶縁膜材料により好適に埋め込むことができる。そして、第一の絶縁層と第三の絶縁層との間に、 $\text{Si-H}$  基を有するポリシロキサン化合物からなる第二の絶縁層を介在させているため、層間密着性が良好となり、各層の界面剥離を効果的に防止することができる。

【図面の簡単な説明】

【図 1】 本発明に係る半導体装置の一例を示す図である。

【図 2】 本発明に係る半導体装置の製造方法の一例を示

す図である。

【図 3】 本発明に係る半導体装置の製造方法の一例を示す図である。

【図 4】 多層配線の構造を示す図である。

【図 5】 従来の半導体装置の一例を示す図である。

【図 6】 従来の半導体装置の製造方法の一例を示す図である。

【図 7】 従来の半導体装置の製造方法の一例を示す図である。

【図 8】 従来の半導体装置の製造方法の一例を示す図である。

【図 9】 従来の半導体装置の製造方法の一例を示す図である。

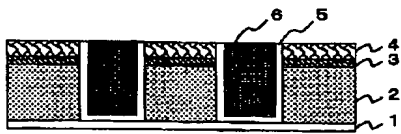
【図 10】 本発明に係る半導体装置の製造方法の一例を示す図である。

【図 11】 本発明に係る半導体装置の製造方法の一例を示す図である。

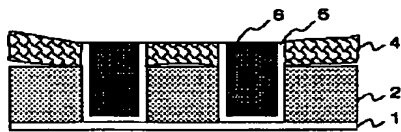
【符号の説明】

- |    |              |
|----|--------------|
| 1  | シリコン窒化膜      |
| 2  | MSQ 膜        |
| 3  | MHSQ 膜       |
| 4  | シリコン酸化膜      |
| 5  | バリアメタル膜      |
| 6  | 銅膜           |
| 40 | シリコン基板       |
| 41 | 不純物拡散層       |
| 42 | ゲート電極        |
| 43 | 層間接続プラグ      |
| 44 | 銅配線          |
| 45 | 層間絶縁膜        |
| 46 | パッシベーション膜    |
| 51 | 半導体基板        |
| 52 | p 型ウェル領域     |
| 53 | フィールド絶縁膜     |
| 54 | 不純物拡散層       |
| 55 | BPSG 膜       |
| 57 | コンタクトホール     |
| 60 | ゲート電極        |
| 61 | 酸化シリコン膜      |
| 62 | 多結晶シリコン膜     |
| 63 | WSi 膜        |
| 64 | シリコン窒化膜      |
| 65 | 側壁絶縁膜        |
| 72 | 多結晶シリコン膜     |
| 73 | タングステンシリサイド膜 |
| 74 | シリコン酸化膜      |

【図 1】

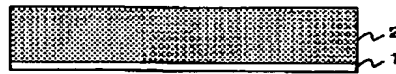


【図 5】

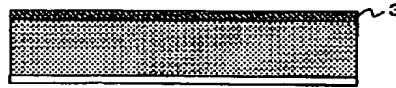


【図 2】

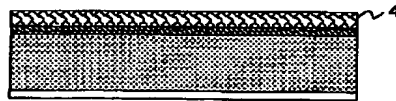
(a)



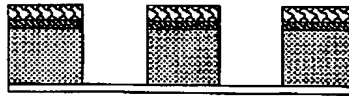
(b)



(c)

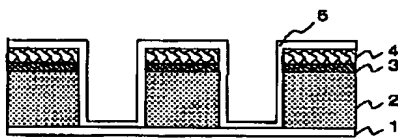


(d)

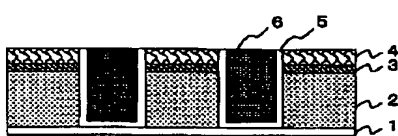


【図 3】

(a)



(b)



【図 6】

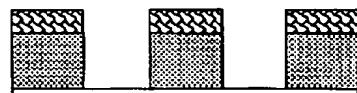
(a)



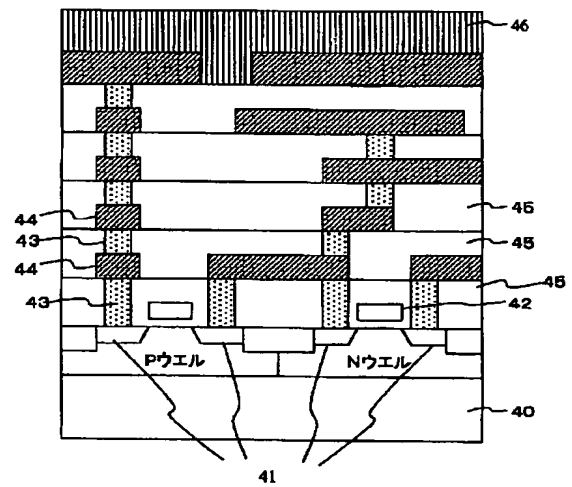
(b)



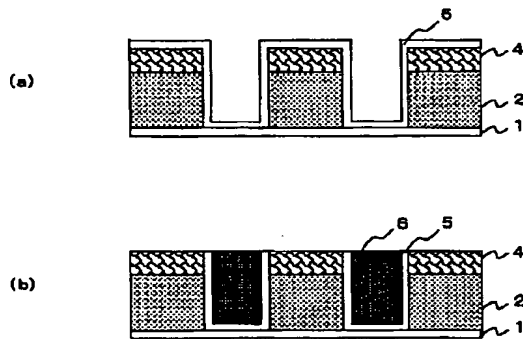
(c)



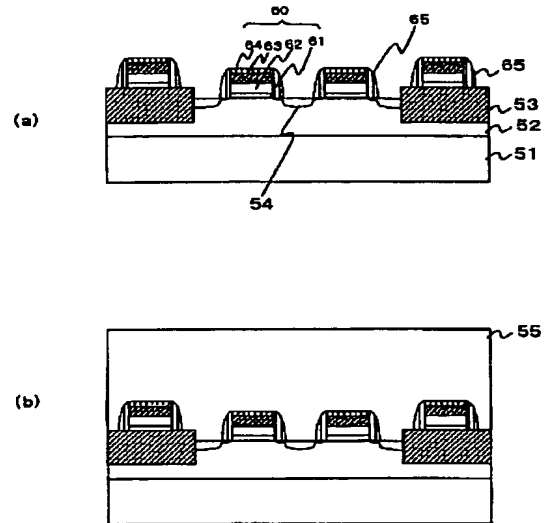
【図 4】



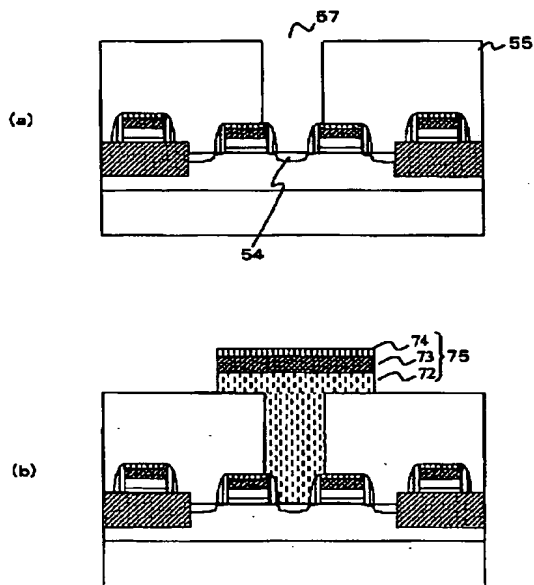
【図7】



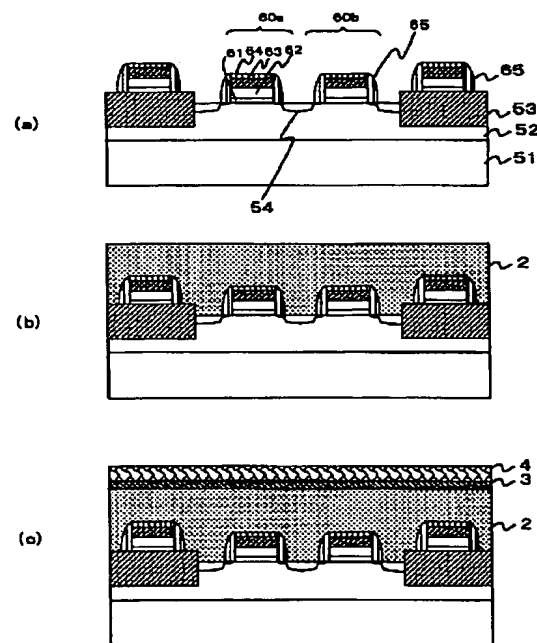
【図8】



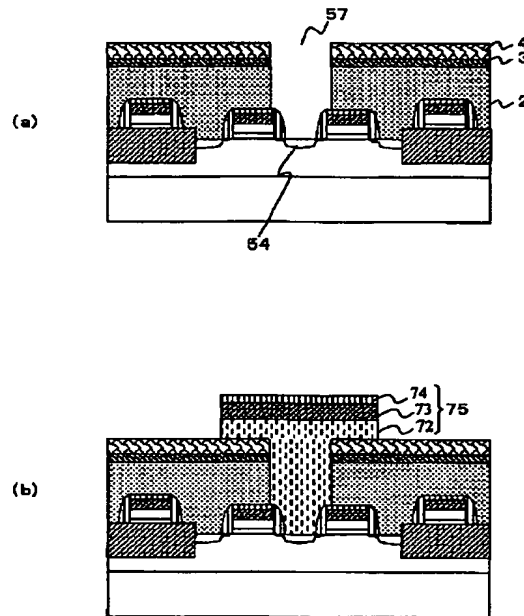
【図9】



【図10】



【図 11】



フロントページの続き

(51)Int.Cl.<sup>7</sup>H 0 1 L 21/318  
21/768

識別記号

F I

H 0 1 L 21/318  
21/90

テーマコード\* (参考)

B  
S

F ターム (参考) 4K030 AA06 AA09 AA11 BA29 BA40  
BA44 BA61 BB12 CA04 CA17  
FA01 JA10 LA02  
5F033 HH11 HH21 HH28 JJ04 KK01  
KK04 KK28 MM01 MM05 MM07  
MM12 MM13 PP06 PP15 PP27  
PP28 QQ08 QQ09 QQ10 QQ11  
QQ13 QQ37 QQ48 QQ92 QQ94  
RR04 RR06 RR21 SS02 SS03  
SS15 SS22 TT01 TT04 TT08  
XX01 XX14 XX25  
5F058 AA08 AA10 AC03 AD02 AD09  
AD11 AF04 AH01 AH02 BA10  
BA20 BD02 BD04 BD07 BD10  
BD15 BD19 BF07 BF23 BF25  
BF29 BF46 BJ01 BJ02